

№

17 367044

SPOMINSKA ENOTA

MEE-256

TEHNIČNI OPIS

Pridružuje se izključno avtorsko pravico do proizvoda opisane-
ga v tem priložniku, vključno z vso pripadajočo dokumentacijo.

Pridružuje se pravico do sprejem brez predhodnega obvestila
in ne prevzema odgovornosti za posledice neskladne nevkla-
sne informacije v priložniku s proizvajalci, ter za neskladne na-
pake.

Jasno je uporabnost proizvoda na orzadi, ki jo je dobavila DO
ISKRA DELTA.

ISKRA-DELTA
LJUBLJANA
JUGOSLAVIJA

1.0 OPIS

Delta 256 polprevodniški spomin je narejen za delo na vseh UNIBUS orientiranih računalnikih, oz. Delta 340 ali PDP 11/34. On popolnoma nadomešča delo skupaj z DEC pomnilniškimi moduli MS 11-FP in MS11-JP.

2.0 SPECIFIKACIJA SISTEMA

2.1 Kapaciteta

Pomnilniška kapaciteta je 128K besed dolžine 16/18 bitov. Sistem se lahko naredi kot večkratnik 16K besed do max. kapacitete.

Za vsako fizično prisoten spominski modul 1EE-256 v sistemu se potrebuje en modul za kontrolo parnosti.

Pridružujemo si izključno avtorsko pravico do proizvoda opisane- ga v tem priročniku, vključno z vso pripadajočo dokumentacijo.

Pridružujemo si pravico do sprememb brez predhodnega obvestila in ne prevzemamo odgovornosti za posledice morebitne nevsklaje- nosti informacij v priročniku s proizvodom, ter za morebitne na- pake.

2.2 Čas cikla

Jamcimo za uporabnost proizvoda na opremi, ki jo je dobavila DO ISKRA DELTA.

2.3 Čas pristopa

ISKRA-DELTA

LJUBLJANA

JUGOSLAVIJA

Čas pristopa za 1EE spomin je 250 ns ali manjše. Ta čas je merjen na nekaterjih spominskih vrstah. Čas, ki preteče med pojavo 1,5V nivoja signala MSYN in 55% nivoja signala je definiran kot čas pristopa.

2.4 Adresiranje

1EE spomin uporablja vseh 18 adresnih linij. Pri upoštevanjem tega, da je A0 iskoriščen za izbiro byt-ov, ostale linije so označene kot A0 do A17 in linije A1 do A17 določajo krajše ali daljše naslovne številke med 1 ter 137,072 znotraj pomnilniškega modula. Linije A0 do A17 so iskoriščene za določanje začetne adrese spominkega modula. Linija A0 se nastavi na osem položajnem mikro stikelu in to s prvimi sedmimi položaji, medtem ko poslednji dve poziciji služijo za določanje vrstnega števila področja (tabela 1).

2.5 Delovna stanja
1.0 OPIS

Delta MEE-256 polprevodniški spomin je narejen za delo na vseh UNIBUS orientiranih računalnikih, oz. Delta 340 ali PDP-11/34. On popolnoma nadomešča ali dela skupaj z DEC pomnilniškimi moduli MS 11-FP in MS11-JP.

2.0 SPECIFIKACIJA SISTEMA

2.1 Kapaciteta

Pomnilniška kapaciteta je 128K besed dolžine 16/18 bitov. Sistem se lahko naredi tudi kot večkratnik 16K besed do max. kapacitete.

Za vsaki fizično prisoten spominski modul MEE-256 v sistemu se potrebuje en modul za kontrolo parnosti.

Spomini s kontrolo in brez kontrole parnosti se lahko mešajo v istem sistemu, toda ne v fizično istem ohišju.

Splošno je lahko uporabnih 124K x 18 bitov spomina, ker je zgornjih 4K x 18 bitov rezerviranih za adrese I/O enot.

2.2 Čas cikla

Čas enega cikla za MEE je 500 nsek.

2.3 Čas pristopa

Čas pristopa za MEE spomin je 350 nsek ali manjše. Ta čas je merjen na UNIBUS konektorjih spominskega modula. Čas, ki preteče med pojavo 1,5V nivoja signala MSYN in SSYN pri branju je definiran kot čas pristopa.

2.4 Adresiranje

MEE spomin uporablja vseh 18 adresnih bitov z upoštevanjem tega, da je A0 izkoriščen za izbiro byt-ov. Adresne linije so označene kot A0 do A17 in linije A1 do A17 določajo katerokoli lokacijo med 1 ter 137,072 znotraj pomnilniškega modula. Linije A14 do A17 so izkoriščene za določanje začetne adrese spominskega modula, katera se nastavi na osem položajnem mikro stikalu in to s prvimi petimi pozicijami, medtem ko poslednji dve poziciji služijo za določanje velikosti I/O področja (tabela 1).

2.5 Delovna stanja

Delovna stanja spomina so določena s kontrolnimi signali C0 in C1 ter adresno linijo A0 kot prikazuje tabela:

A0	C1	C0	Signal	Operacija
X	0	0	DATI	Branje
X	0	1	DATIP	Branje s pauzo
X	1	0	DATO	Pisanje besede
0	1	1	DATOB0	Pisanje Byt-a 0
1	1	1	DATOB1	Pisanje Byt-a 1

Dodatno stanje je osvežitev spomina, ki je potrebno da se podatki ne izgubijo.

Memorijski elementi so 16Kx1 NMOS, kateri morajo biti osveženi v teku 2 msek, oz. vsak čip v teku 12 usek. Kateri element pa se osvežuje, pove spodnjih sedem adres A1 - A6.

Začetna adresa	Velikost memorije (I121)	Preklopnik za izbiro adrese (I84)				
		5	4	3	2	1
000 000 0K	16,32,64,96,128	OFF	OFF	OFF	OFF	OFF
020 000 4K	16,32,64,96	OFF	OFF	OFF	OFF	ON
040 000 8K	16,32,64,96	OFF	OFF	ON	OFF	OFF
060 000 12K	16,32,64,96	OFF	OFF	ON	OFF	ON
100 000 16K	16,32,64,96	OFF	ON	OFF	OFF	OFF
120 000 20K	16,32,64,96	OFF	ON	ON	OFF	OFF
140 000 24K	16,32,64,96	OFF	ON	ON	OFF	OFF
160 000 28K	16,32,64,96	OFF	ON	ON	OFF	ON
200 000 32K	16,32,64	OFF	OFF	OFF	ON	OFF
220 000 36K	16,32,64	OFF	OFF	OFF	ON	ON
240 000 40K	16,32,64	OFF	OFF	ON	ON	OFF
260 000 44K	16,32,64	OFF	OFF	ON	ON	ON
300 000 48K	16,32,64	OFF	ON	OFF	ON	OFF
320 000 52K	16,32,64	OFF	ON	OFF	ON	ON
340 000 56K	16,32,64	OFF	ON	ON	ON	OFF
360 000 60K	16,32,64	OFF	ON	ON	ON	ON
400 000 64K	16,32,64	ON	OFF	OFF	OFF	OFF
420 000 68K	16,32	ON	OFF	OFF	OFF	ON
460 000 72K	16,32	ON	OFF	ON	OFF	OFF
500 000 76K	16,32	ON	OFF	ON	OFF	ON
520 000 80K	16,32	ON	ON	OFF	OFF	OFF
560 000 84K	16,32	ON	ON	OFF	OFF	ON
600 000 88K	16,32	ON	ON	ON	OFF	OFF
620 000 92K	16,32	ON	ON	ON	OFF	ON
660 000 96K	16,32	ON	OFF	OFF	ON	OFF

Opozorilo: Preklopnik 6 mora biti vklopljen, če je instaliran memory management.

<u>I/O poročje</u>		<u>Preklopnik</u>		
		<u>8</u>	<u>7</u>	<u>6</u>
Z	4K	OFF	OFF	ON
Memory	2K	OFF	ON	ON
Management-om	1K	ON	ON	ON
Brez	4K	OFF	OFF	OFF
Memory	2K	OFF	ON	OFF
Management-a	1K	ON	ON	OFF

Tabela 1

2.6 Napajanje

MEE-256 rabi za svoje delovanje +5V, +15V ter -15V.

Predvidena je tudi potrebna logika za delovanje v battery back-up modu.

Poraba po posameznih napetostih je:

<u>Delovno stanje</u>		<u>Napetostna toleranca</u>
+5V	1.1 A	+ 5 % - 5 %
+15V	270 mA	+ 5 % - 5 %
-15V	10mA	+ 5 % - 5 %

2.7 Povezovanje

Spomin MEE-256 se povezuje s procesorjem ali z drugimi spominskimi moduli preko UNIBUS-a ali modificiranega UNIBUS-a kot prikazujejo tabele 2 in 3.

Za instaliranje MEE-256 v oba UNIBUS-a je potrebno narediti določene povezave:

Kontrola parnosti

Brez kontrole parnosti

W2

W4

W5

W14 (ali W15, če je
battery back-up)

W14 ali W15

SIGNAL	DEC NO.	SIGNAL
INIT L	AA1 AA2	+5V *
*INTR L	AB1 AB2	OV *
D00 L	AC1 AC2	OV
D02 L	AD1 AD2	D01 L
D04 L	AE1 AE2	D03 L
D06 L	AF1 AF2	D05 L
D08 L	AH1 AH2	D07 L
D10 L	AJ1 AJ2	D09 L
D12 L	AK1 AK2	D11 L
D14 L	AL1 AL2	D13 L
PA INT L	AM1 AM2	D15 L
*OV	AN1 AN2	PB INT L
*OV	AP1 AP2	BBSY L *
*OV	AR1 AR2	SACK L *
*OV	AS1 AS2	NPR L *
OV	AT1 AT2	BR7 L *
*NPG H	AU1 AU2	BR6 L *
DATIP CLR L	AV1 AV2	OV *
*BG6 H	BA1 BA2	+5V *
*BG5 H	BB1 BB2	OV *
*BR5 L	BC1 BC2	OV
*OV	BD1 BD2	BR4 L *
*OV	BE1 BE2	BG4 L *
*ACLO L	BF1 BF2	DCLO L
A01 L	BH1 BH2	A00 L
A03 L	BJ1 BJ2	A02 L
A05 L	BK1 BK2	A04 L
A07 L	BL1 BL2	A06 L
A09 L	BM1 BM2	A08 L
A11 L	BN1 BN2	A10 L
A13 L	BP1 BP2	A12 L
A15 L	BR1 BR2	A14 L
A17 L	BS1 BS2	A16 L
OV	BT1 BT2	C1 L
SSYN INT L	BU1 BU2	CO L
MSYN L	BV1 BV2	OV *

* PINI so označeni na modificirani UNIBUS-u, toda niso izkorišteni na UNIBUS-u ali niso uporabljeni v spominu.

+5V uporabljen na standardnem UNIBUS inator.

Standardni UNIBUS

Modif. Tabela 2 UNIBUS

Tabela 3

<u>Signal</u>	<u>DEC No.</u>		<u>Signal</u>
INIT L	AA1	AA2	+5V +
*INTR L	AB1	AB2	TP1
D00 L	AC1	AC2	OV
D02 L	AD1	AD2	D01 L
D04 L	AE1	AE2	D03 L
D06 L	AF1	AF2	D05 L
D08 L	AH1	AH2	D07 L
D10 L	AJ1	AJ2	D09 L
D12 L	AK1	AK2	D11 L
D14 L	AL1	AL2	D13 L
PA L	AM1	AM2	D15 L
PB INTL	AN1	AN2	PB L
PA INTL	AP1	AP2	BBSY L *
*+15V. BAT	AR1	AR2	SACK L *
*-15V BAT	AS1	AS2	NPR L *
OV	AT1	AT2	BR7 L *
+20V	AU1	AU2	BR6 L *
+20V	AV1	AV2	+20V - 5 V) ter
DATIP CLR	BA1	BA2	+5V +
*RESV	BB1	BB2	TP 1 *
*BR5 L	BC1	BC2	OV
*+5 BAT	BD1	BD2	BR4 L *
INT SSYNL	BE1	BE2	PAR DET *
*ACLO L	BF1	BF2	DC LOL
A01 L	BH1	BH2	A00 L
A03 L	BJ1	BJ2	A02 L
A05 L	BK1	BK2	A04 L
A07 L	BL1	BL2	A06 L
A09 L	BM1	BM2	A08 L
A11 L	BN1	BN2	A10 L
A13 L	BP1	BP2	A12 L
A15 L	BR1	BR2	A14 L
A17 L	BS1	BS2	A16 L
OV	BT1	BT2	C1 L
SSYN L	BU1	BU2	CO L
MSYN L	BV1	BV2	CO L

* PINI so označeni na modificiranem UNIBUS-u, toda niso izkoriščeni v memoriji.

+ +5V uporabljeno edino za terminator.

Modificirani UNIBUS

Tabela 3

2.8 Mehanične dimenzije

MEE-256 je narejen na standardnem DELTA (PDP 11) hex tiskanem modulu. Max. kapaciteta modula je 256 K x 18 bitov. Dimenzije spominskega modula so 398,5 x 214,3 x 1,5 mm, kot prikazuje slika 1. Vsak modul zavzame eno mesto v predvidenem prostoru.

2.9 Delovno okolje

Spominski modul MEE-256 je narejen za delo v DELTA ter PDP 11 računalniku in to na temperaturi od 0°C do 55°C ter 0 do 90% relativne vlage.

3.0 NAČIN FUNKCIONIRANJA

3.1 Logični signali

Na UNIBUS-u je logični signal "0", če je napetost 3,4 V (2,4 - 5 V) ter logično "1", če je signal 0 V (0 - 0,4 V).

3.2 Možna delovna stanja

Spomin ima tri osnovna delovna stanja

- Branje
- Zapis
- Osveževanje

Prva dva delovna stanja so shranjevanje ter branje informacije, inicira pa jih bus master signal. Tretje stanje je potrebno, da se shranjena informacija ne izgubi, a inicira se z logiko na spominu.

Osnovna stanja BRANJE in ZAPIS vsebujejo v odvisnosti od kontrolnih signalov C0, C1 in A0 naslednje možnosti:

Delovno stanje	Instrukcije	C0	C1	A0 (LSB)
Branje	DATI	1	1	X
Branje s pauzo	DATIP	0	1	X
Vpis besede	DATO	1	0	X
Vpis byte 0	DATOBO	0	0	1
Vpis byte 1	DATOB1	0	0	0

3.2.1 Branje (DATI)

V tem modu delovanja spomin prebere celo podatkovno besedo iz selektiranega dela in jo postavi na vodilo (bus).

3.2.2 Branje s pauzo

Tu je vse enako kot pri instrukciji DATI.

3.2.3 Zapis besede (DATO)

V tem modu delovanja spomin zapiše celotno besedo v adresirano lokacijo.

3.2.4 Zapis byte 0 (DATOBO) in byte 1 (DATOB1)

V tem modu se nova informacija vpiše na adresirano spominsko lokacijo in to, če je A0 nizki nivo na spodnji byte (D0 - D7), če pa je A0 visoki nivo na zgornji byte (D8 - D15).

4.0 PRENOS PODATKOV

Tu je opisan prenos podatkov med spominom ter "bus master-om". Spomin je vedno "slave" enota v odnosu na kakšno drugo enoto na UNIBUS-u. Spomin sprejema kontrolne informacije, adresno, podatke od "bus mastera". Sam prenos podatkov je sklenjen z dvema signaloma: master sync (MSYN) iz mastera ter slave sync (SSYN) iz spomina.

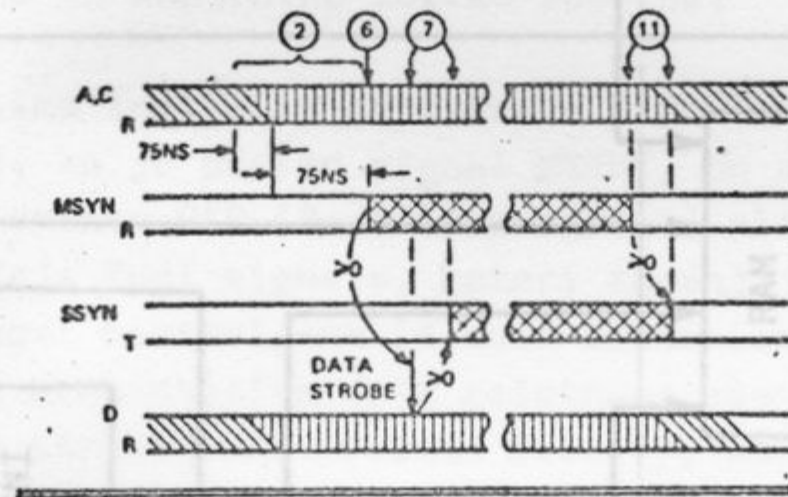
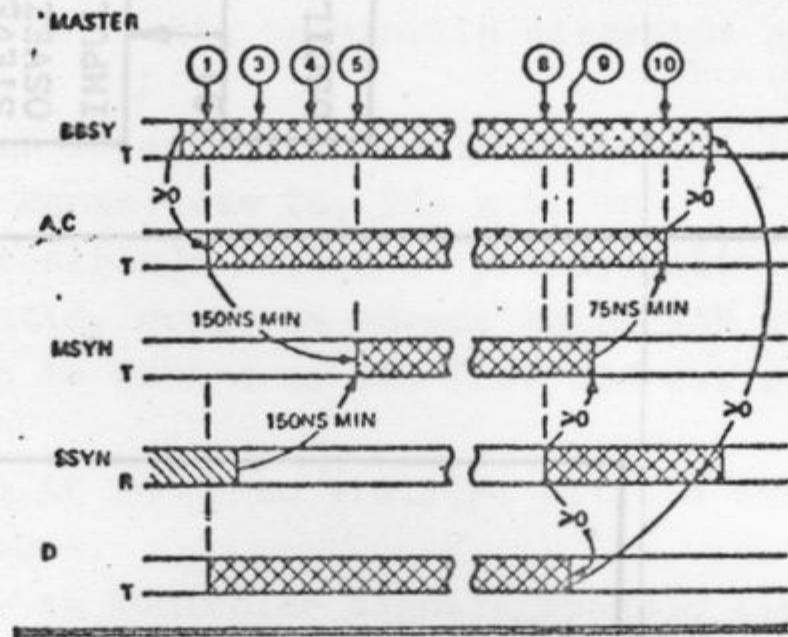
Prenos podatkov začneja "bus master", kateri postavi adresno ter kontrolne signale na UNIBUS, potem čaka minimalno 75 ns zaradi popačitve signalov in inicializira master sync (MSYN). Če adresa ni znotraj določenega področja, MSYN ne bo odposlan, spomin ne bo aktiven in bo v čakajočem stanju. Če pa je postavljena prava adresa se bo spominski cikel sprožil in logika ne bo upoštevala nobenih drugih signalov, dokler se ne konča cikel, ki je v teku. V teku inštrukcije BRANJE (DATI) se prenašajo podatki iz spomina v "bus master".

Ko je spomin selektiran, postavi podatke na UNIBUS in odpošlje SSYN. Bus master, ko je sprejel podatke, ukine MSYN, nakar slave ukine SSYN, a master pripravi adresno in kontrolne signale za naslednjo operacijo. Prenos podatkov za zapis (DATO) je enak, edino smer pretoka je od "mastera" k spominu (slave).

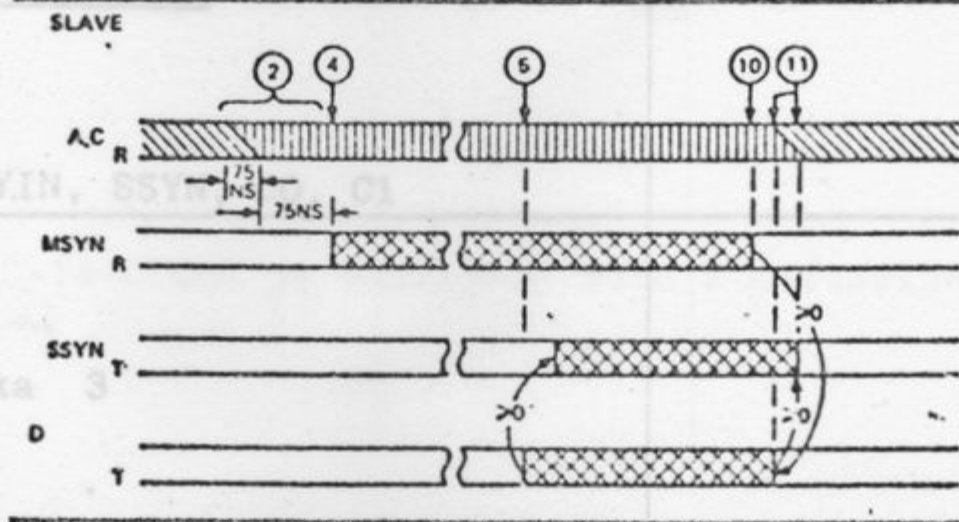
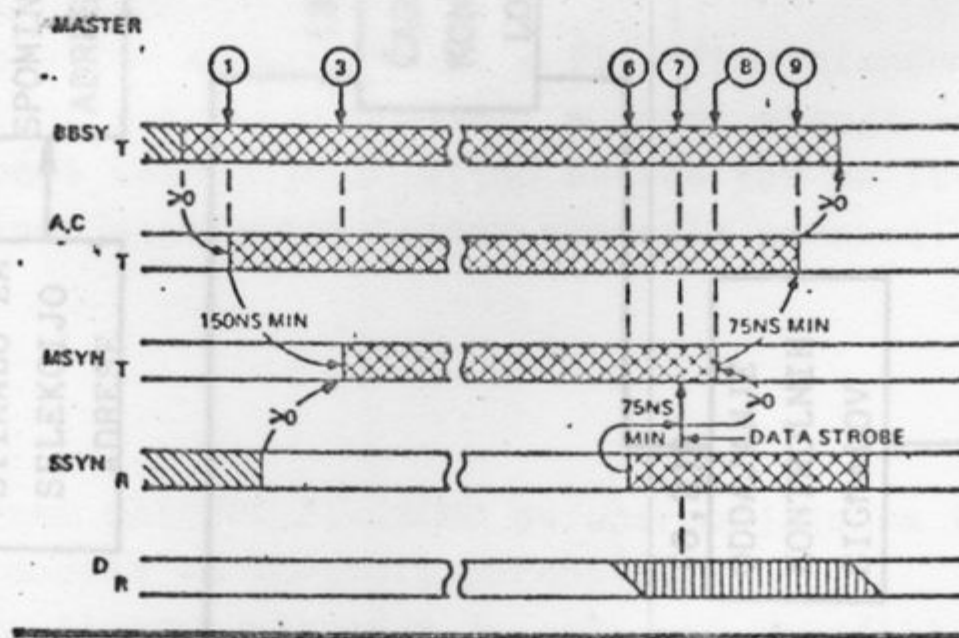
4.1 Časovni potek prenosa podatkov

Slika 2 predstavlja časovni potek za cikel BRANJA in ZAPISA (DATI in DATO). Čas pristopa in ciklusa so:

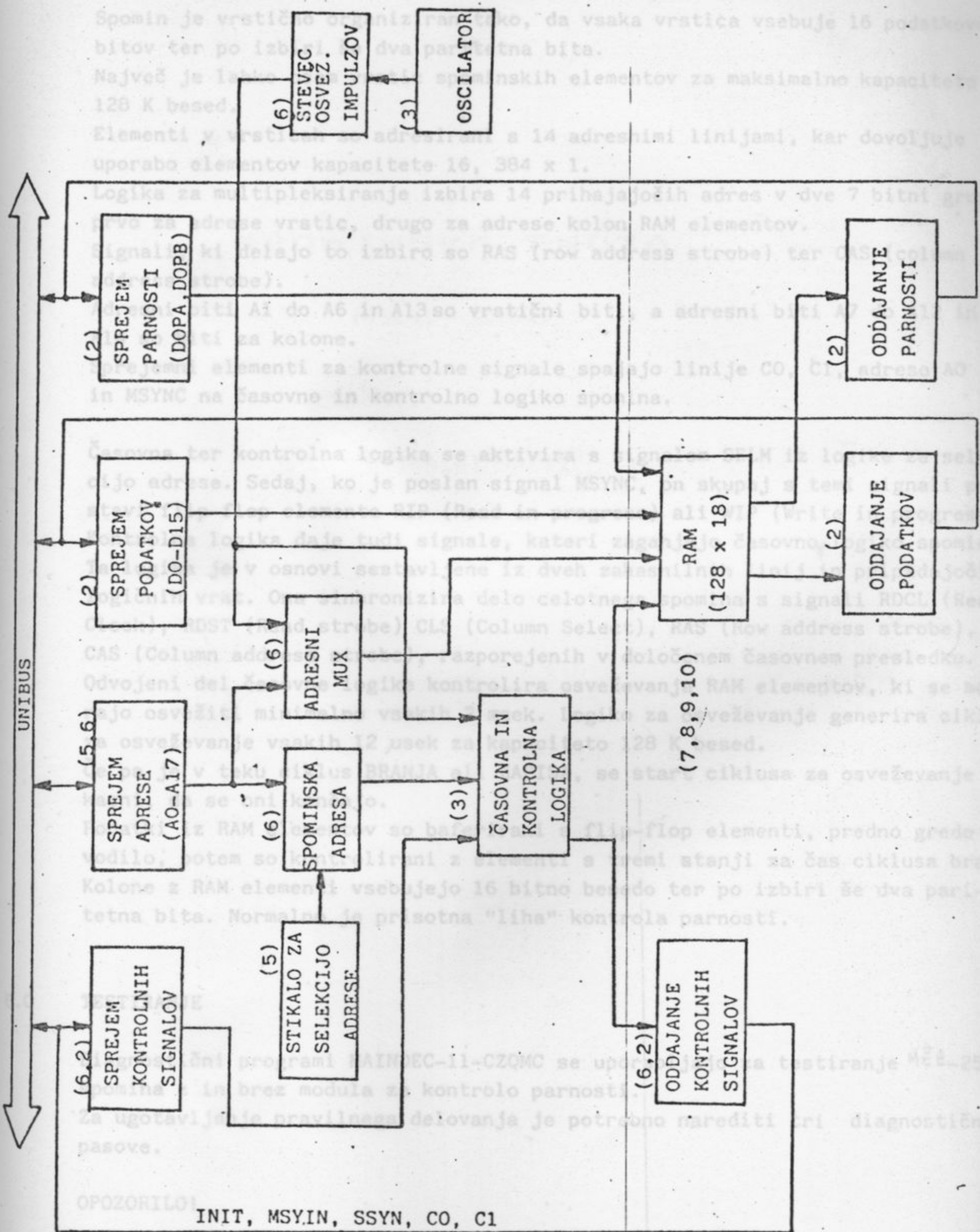
Stanje	Čas pristopa	Čas ciklusa
Branje, zapis, osvežitev	350 ns	500 ns + 25 ns



DATO ali DATOB časovni potek na vodilu



DATI časovni potek na vodilu



Slika 3

Diagnostika MAINDEC-11-CZQMC je vključena samo z nastavljenim 4 K I/O področjem.

Spomin je vrstično organiziran tako, da vsaka vrstica vsebuje 16 podatkovnih bitov ter po izbiri še dva paritetna bita.

Največ je lahko osem vrstic spominskih elementov za maksimalno kapaciteto 128 K besed.

Elementi v vrsticah so adresirani s 14 adresnimi linijami, kar dovoljuje uporabo elementov kapacitete 16, 384 x 1.

Logika za multipleksiranje izbira 14 prihajajočih adres v dve 7 bitni grupi, prvo za adrese vrstic, drugo za adrese kolon RAM elementov.

Signali, ki delajo to izbiro so RAS (row address strobe) ter CAS (column address strobe).

Adresni bita A1 do A6 in A13 so vrstični bita, a adresni bita A7 do A12 in A14 so bita za kolone.

Sprejemni elementi za kontrolne signale spajajo linije C0, C1, adresno A0 in MSYNC na časovno in kontrolno logiko spomina.

Časovna ter kontrolna logika se aktivira s signalom SELM iz logike za selekcijo adrese. Sedaj, ko je poslan signal MSYNC, on skupaj s temi signali postavi flip-flop elemente RIP (Read in progress) ali WIP (Write in progress). Kontrolna logika daje tudi signale, kateri zaganjajo časovno logiko spomina. Ta logika je v osnovi sestavljena iz dveh zakasnilnih linij in pripadajočih logičnih vrat. Ona sinhronizira delo celotnega spomina s signali RDCL (Read Clock), RDST (Read strobe) CLS (Column Select), RAS (Row address strobe), CAS (Column address strobe), razporejenih v določenem časovnem presledku. Odvojeni del časovne logike kontrolira osveževanja RAM elementov, ki se morajo osvežiti minimalno vsakih 2 msek. Logiko za osveževanje generira ciklus za osveževanje vsakih 12 μ sek za kapaciteto 128 K besed.

Če pa je v teku ciklus BRANJA ali ZAPISA, se start ciklusa za osveževanje zakasni, da se oni končajo.

Podatki iz RAM elementov so baferirani s flip-flop elementi, predno gredo na vodilo, potem so kontrolirani z elementi s tremi stanji za čas ciklusa branja. Kolone z RAM elementi vsebujejo 16 bitno besedo ter po izbiri še dva paritetna bita. Normalno je prisotna "liha" kontrola parnosti.

6.0 TESTIRANJE

Diagnostični programi MAINDEC-11-CZQMC se uporabljajo za testiranje MĚĚ-256 spomina z in brez modula za kontrolo parnosti.

Za ugotavljanje pravilnega delovanja je potrebno narediti tri diagnostične pasove.

OPOZORILO!

Diagnostika MAINDEC-11-CZQMC je vsklajena samo z nastavljenim 4 K I/O področjem.

No

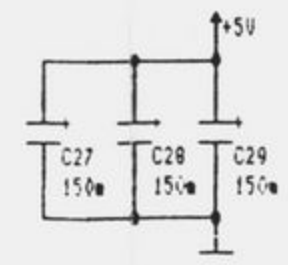
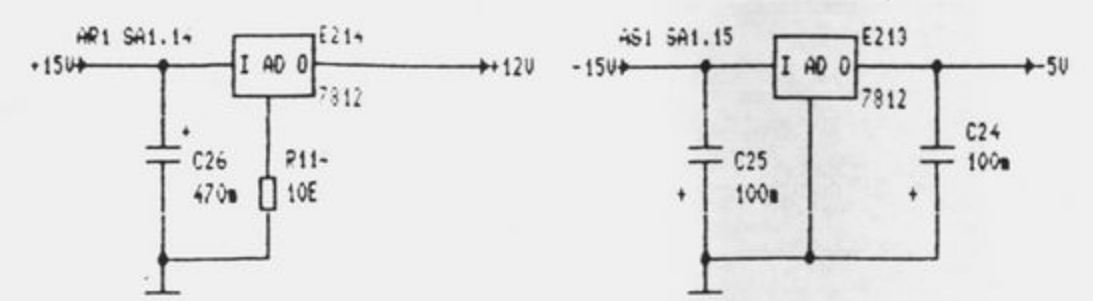
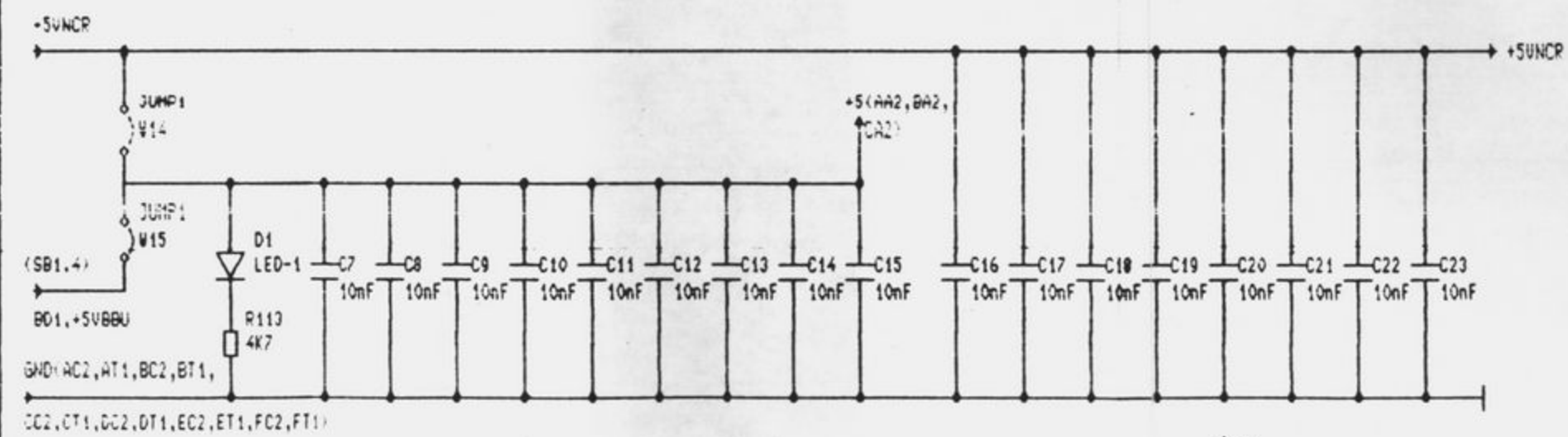
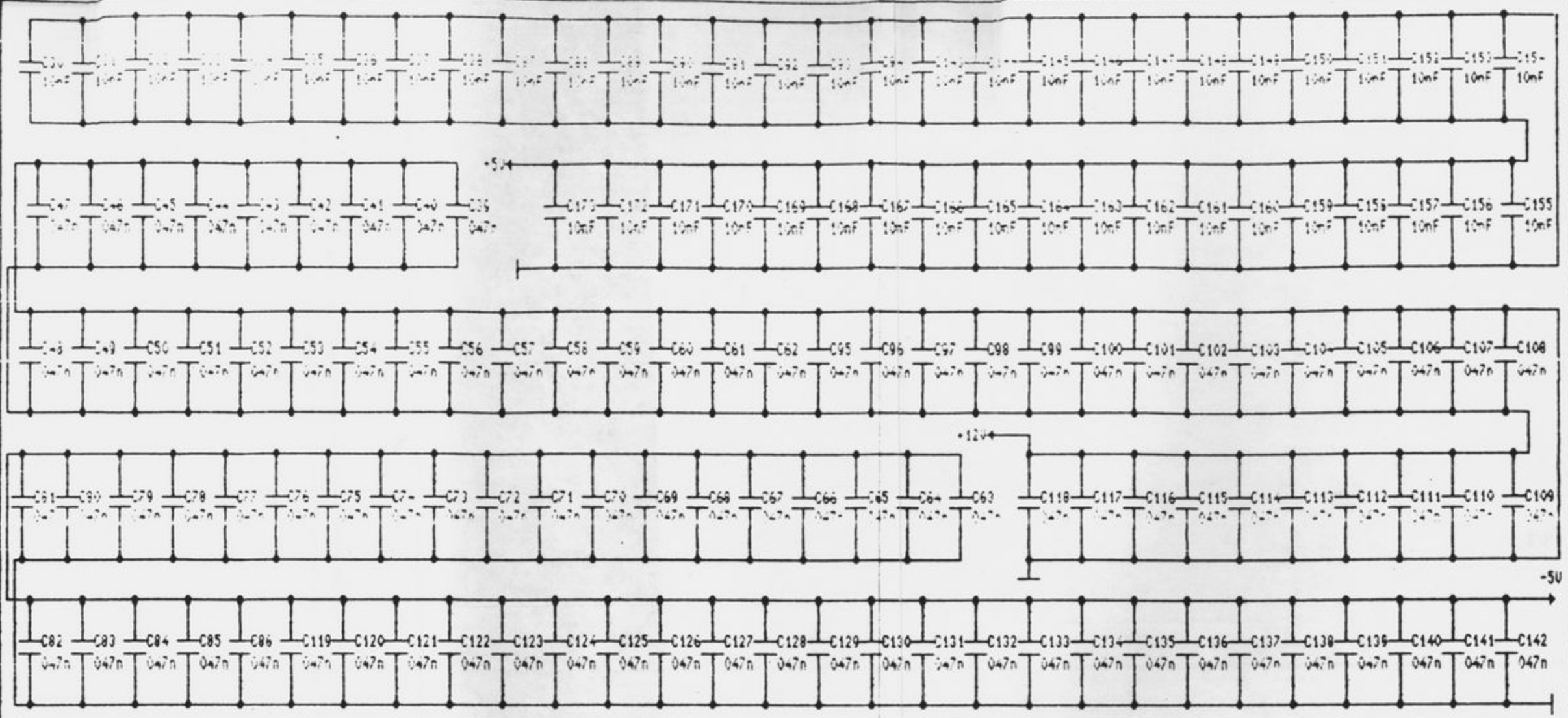
17 365044

SPOMINSKA ENOTA

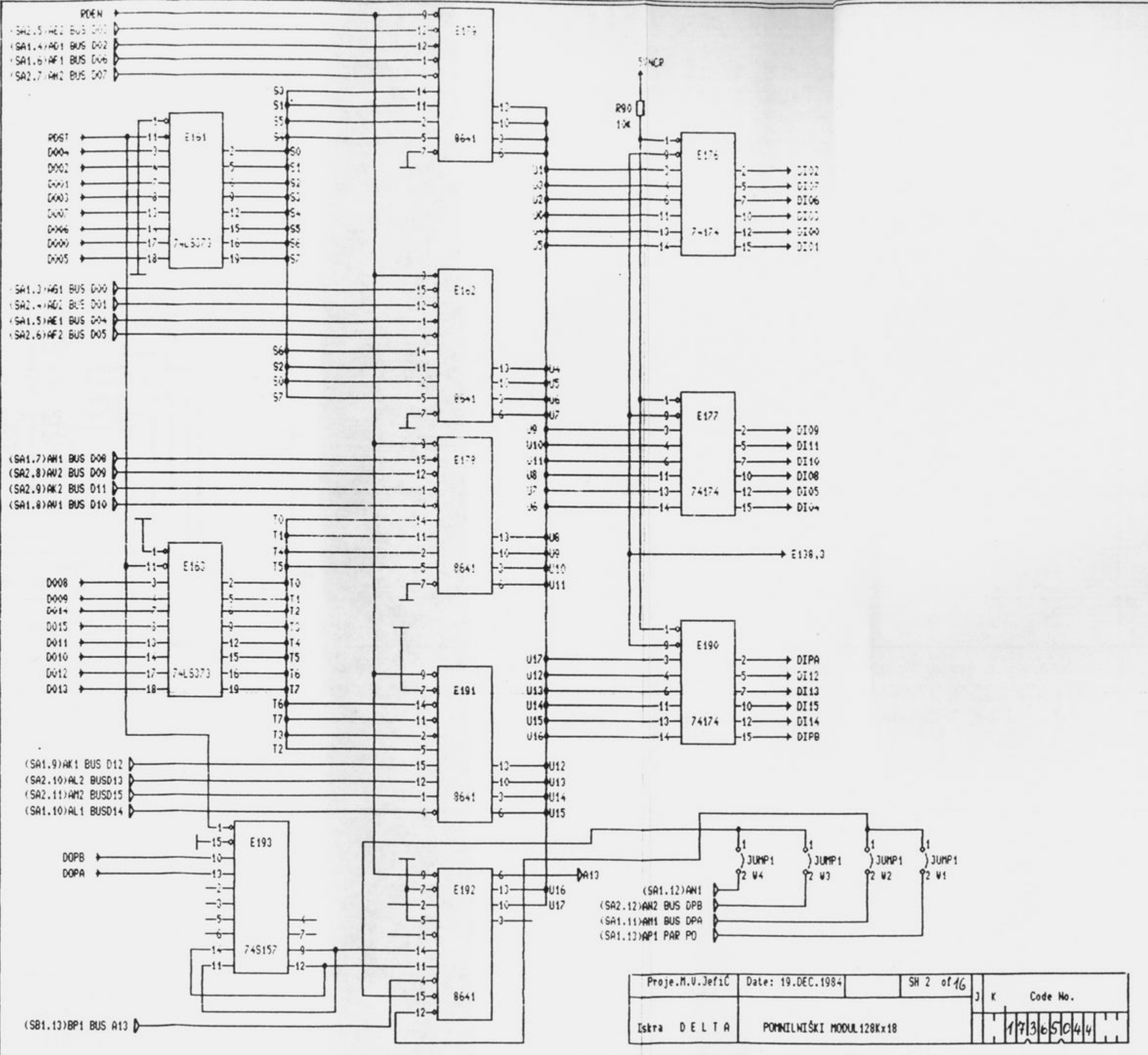
MEE-256

STIKALNI NACRT

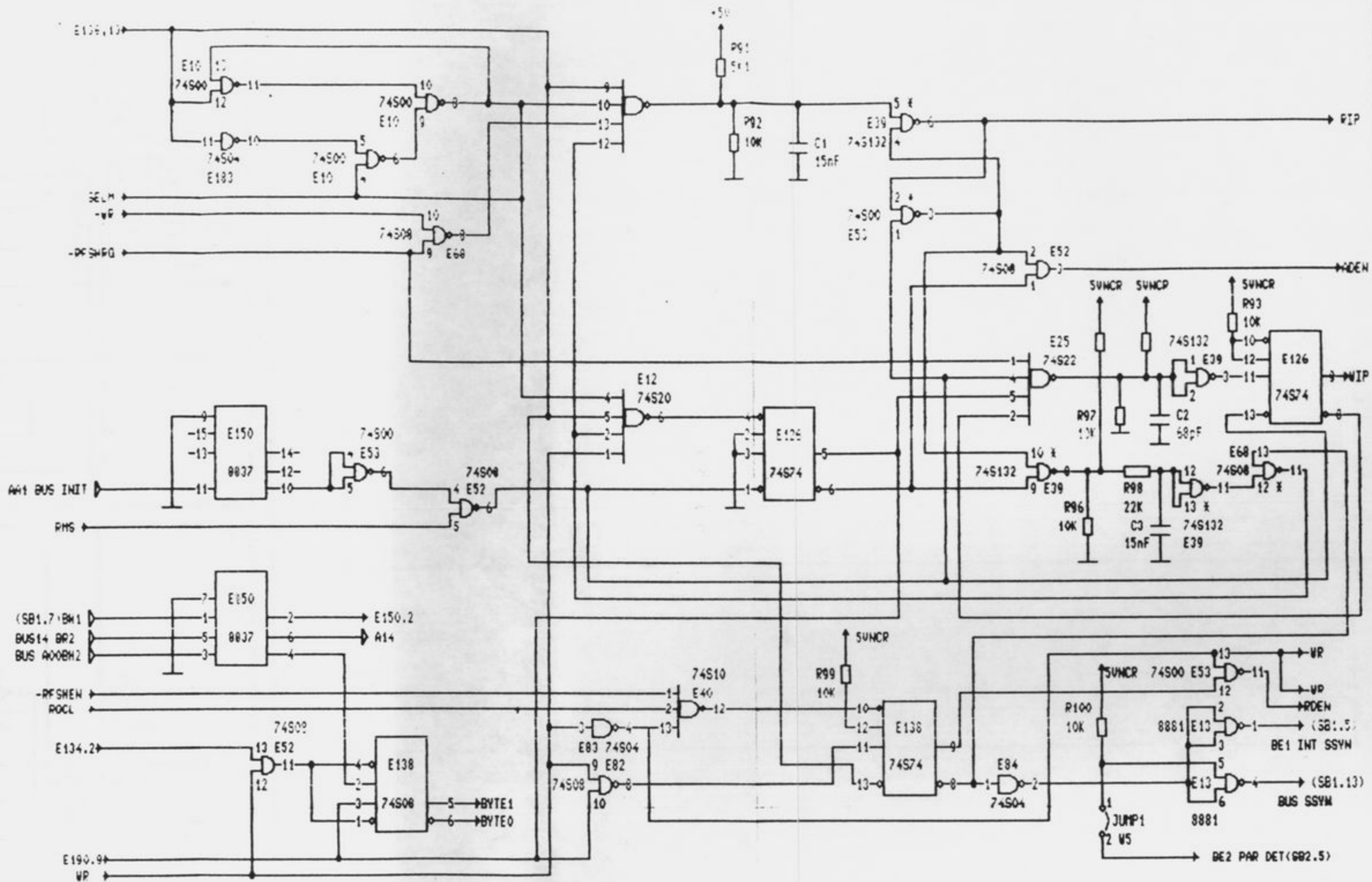
S. 1 of 16		Code No.
173456789		



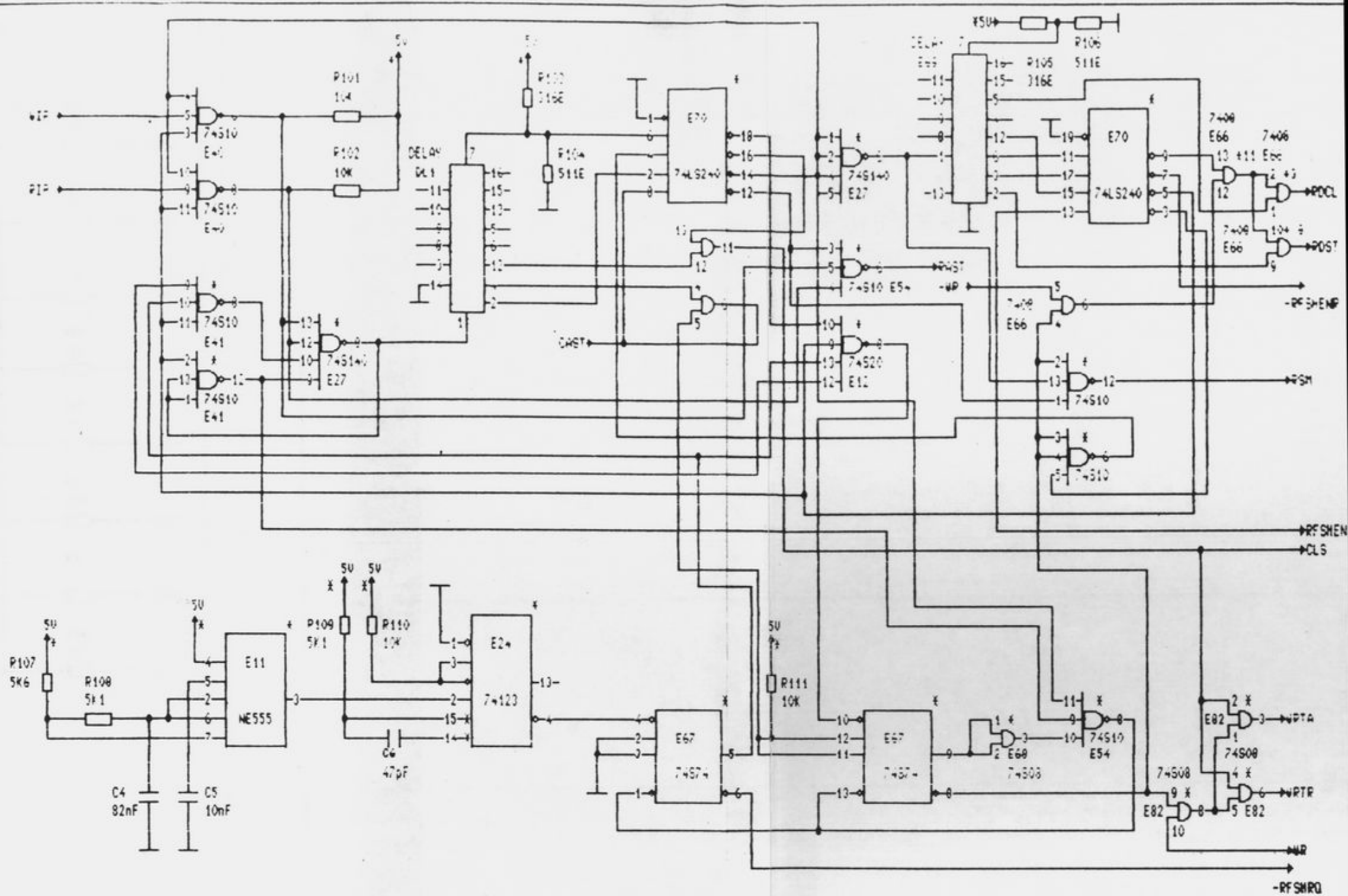
Proje. M. V. Jelić	Date: 19. DEC. 84.	SH 1 of 16	Code No.
Iskra DELTA	POMIŠLNIŠKI MODUL 128Kx18		17365044



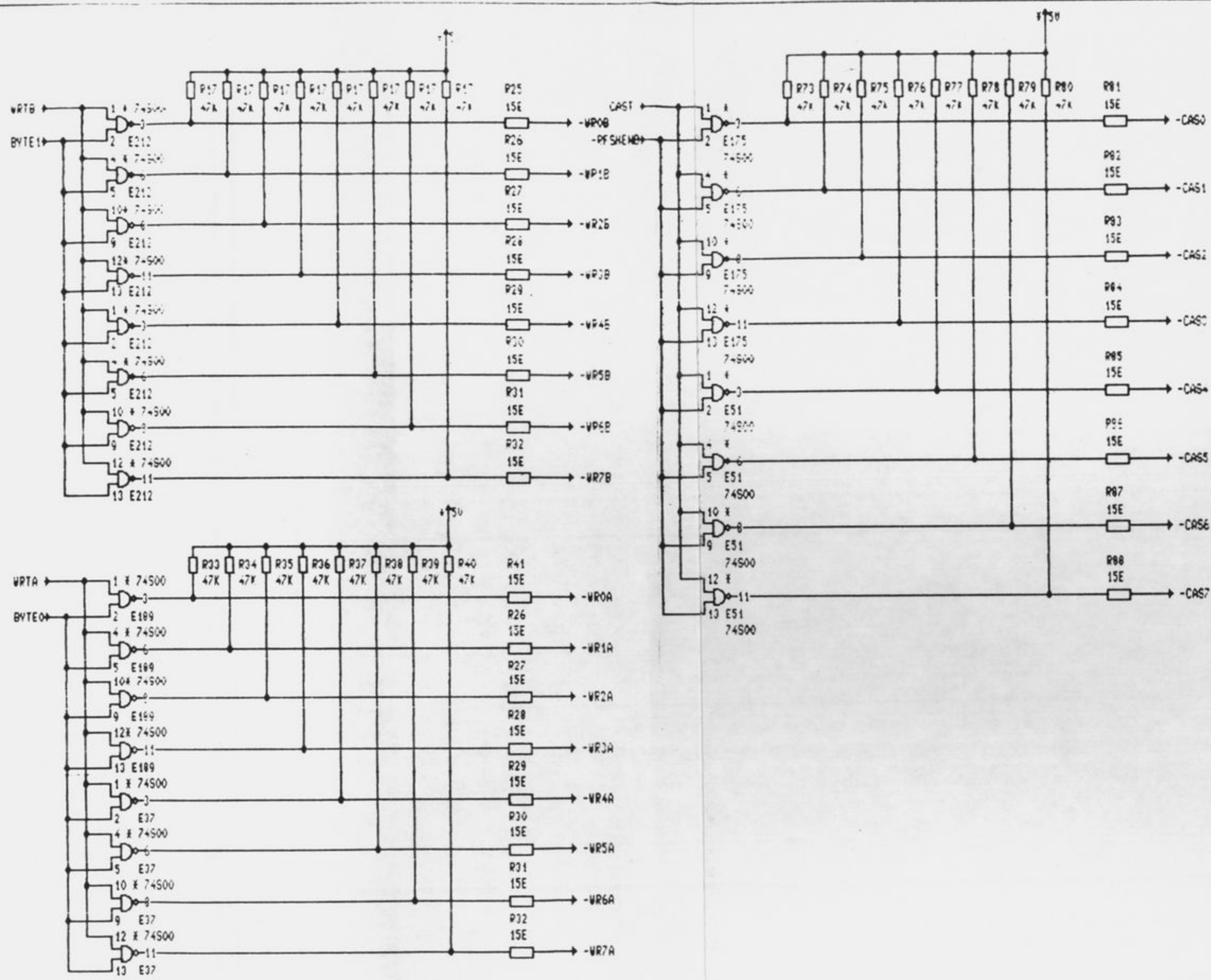
Proje. M. V. Jefić	Date: 19. DEC. 1984	SH 2 of 16	J K	Code No.
Iskra DELTA			POMIŁNIŠKI MODUL 128Kx18	
			17365044	



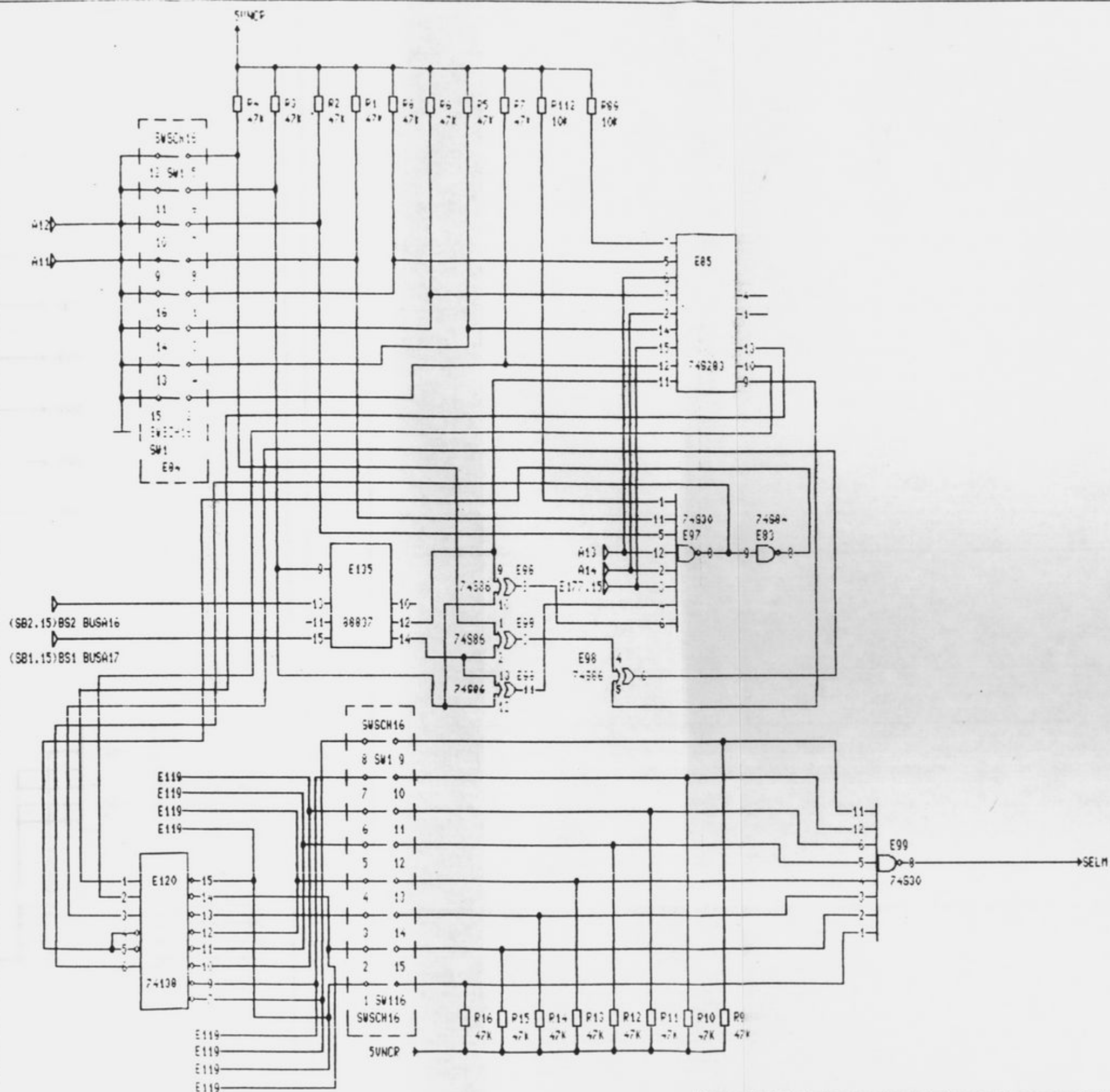
Proje. H. V. Jelić	Date: 21. DEC. 1984	SH 3 of 16	J	K	Code No.
Iskra DELTA	POMILNIŠKI MODUL 128Kx18				17365044



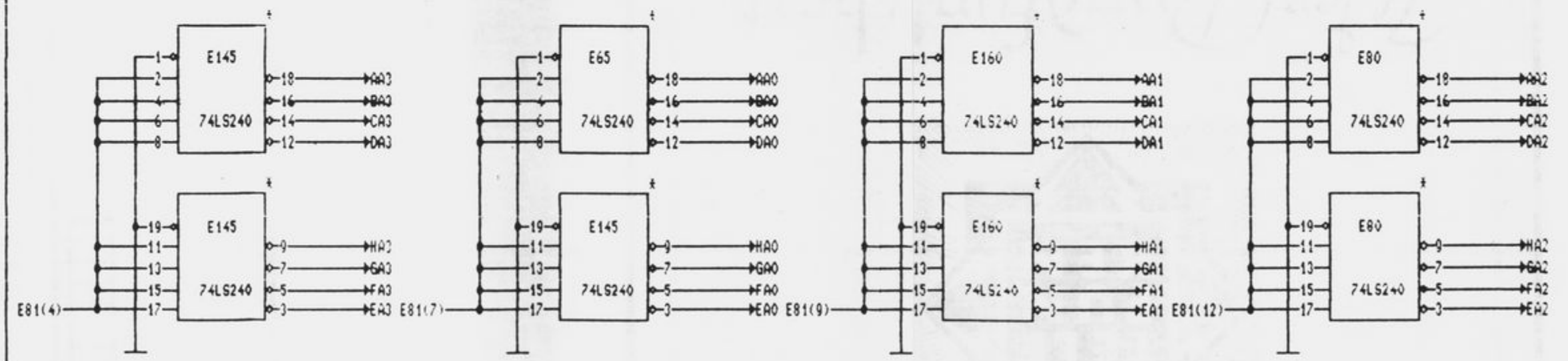
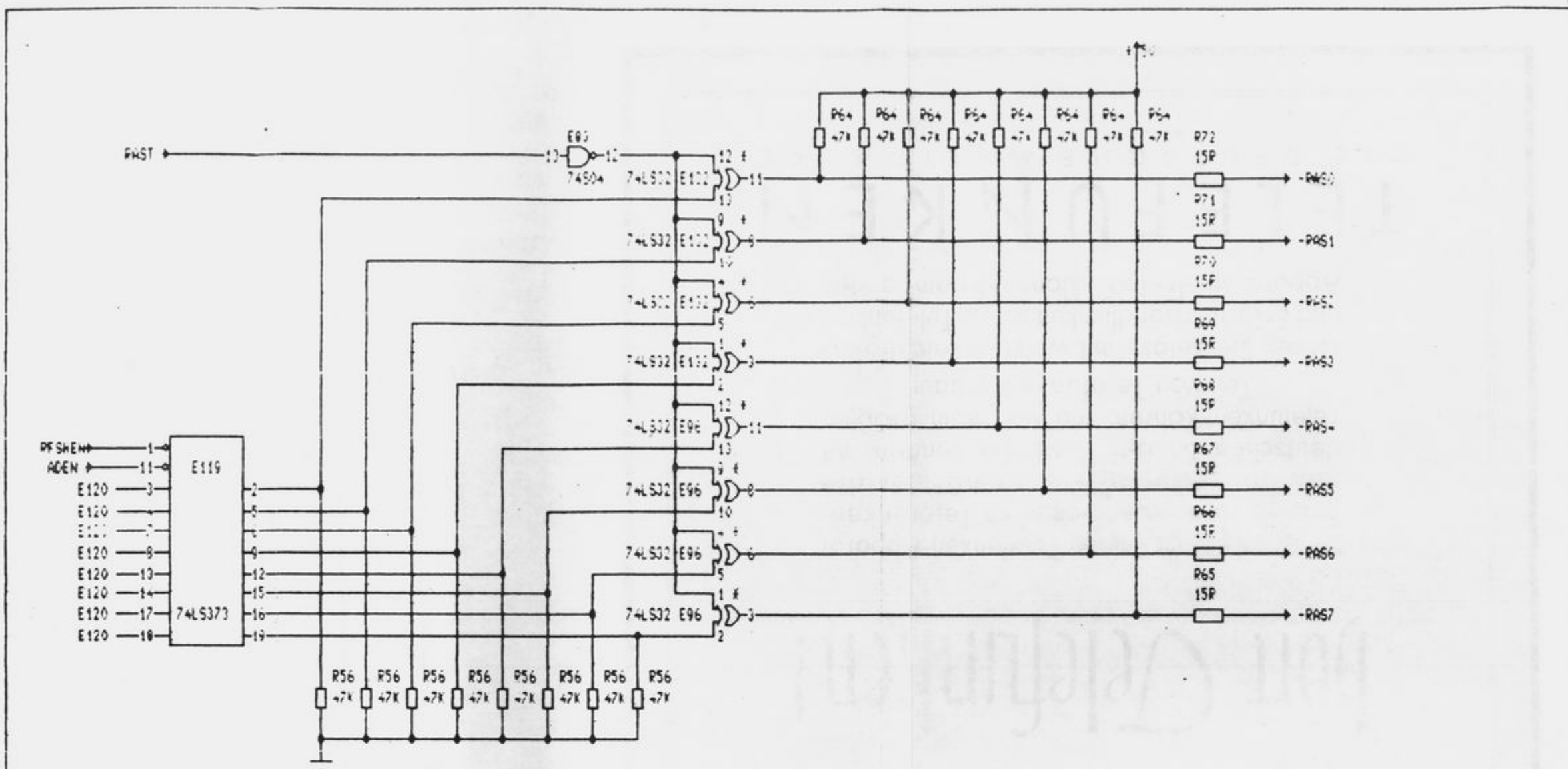
Proje: H.V. Jelić	Date: 24. DEC. 1984	SH 4 of 16	J K	Code No.
Istra DELTA	POHILNIŠKI MODUL 128Kx18			173651044



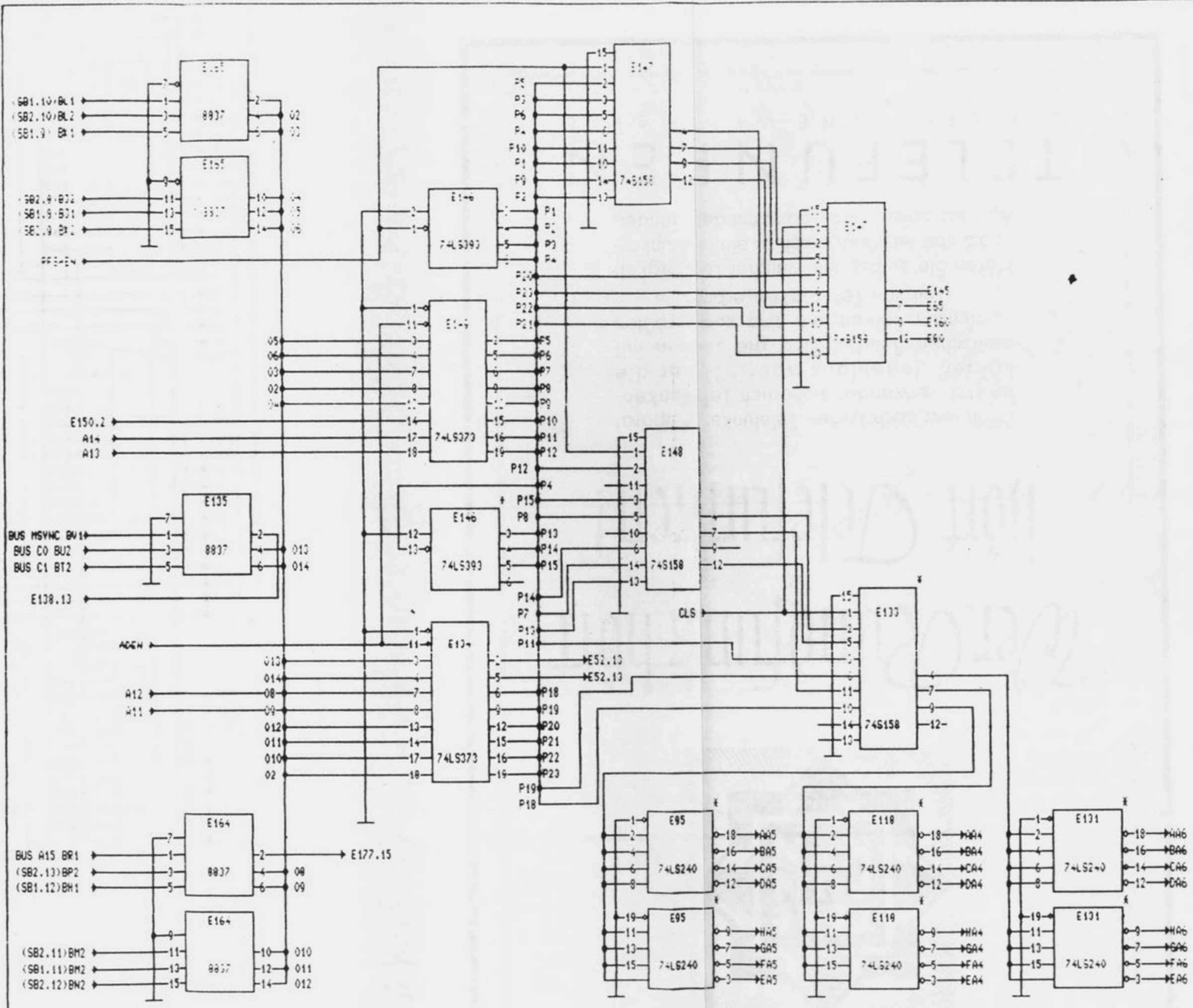
Proje. H.V. Jefić	Date: 25. DEC. 1984	SH 5 of 16	J K	Code No.
Iskra DELTA	POMILNIŠKI MODUL 128Kx19		17365044	



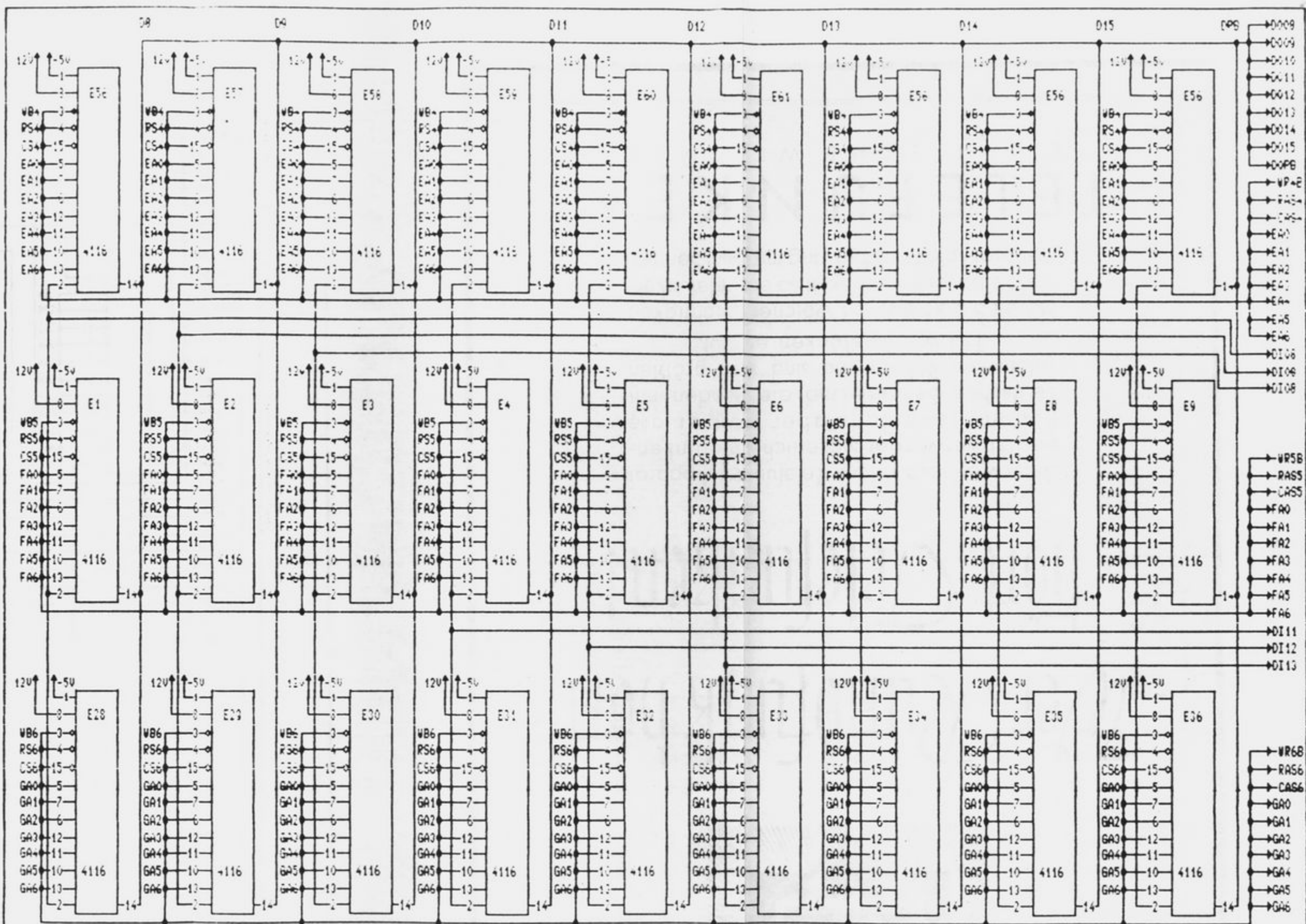
Proje. M. U. Jelić	Date: 26. DEC. 1984	SH 6 of 16	Code No.
Iskra DELTA	POMNILNIŠKI MODUL 128Kx18	1713651044	



Proje. M. V. Jelić	Date: 9.01.1984	SH 7 of 16	J K Code No.
Iskra DELTA	POMILNIŠKI MODUL 128x18		17365044

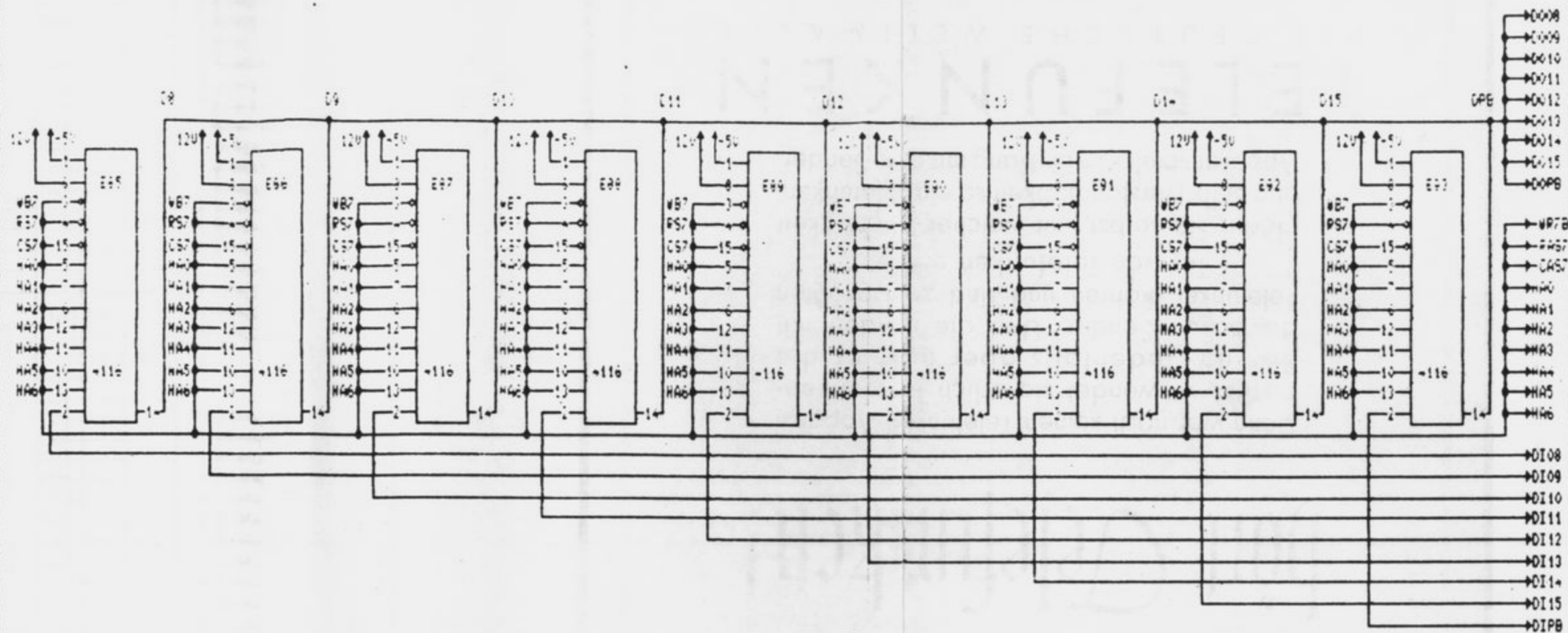


Proje. M. U. Jęfić	Date: 11.01.1984	SH 8 of 16	J	K	Code No.
Iskra DELTA	POMIŁNIŚKI MODUL 128Kx18		173651044		



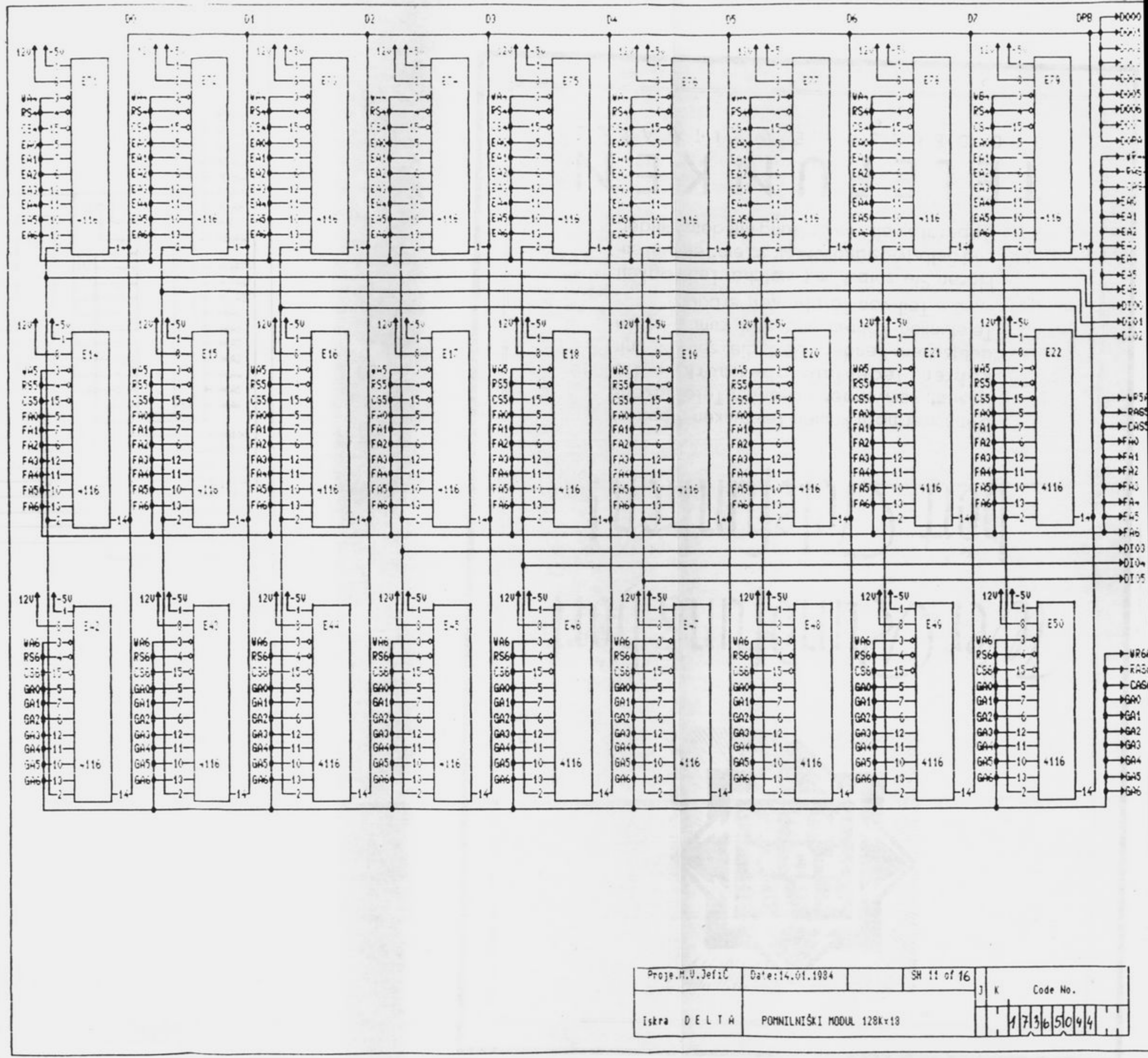
Proje.M.U.JefiC	Date:14.01.1984	SH 9 of 16	J K Code No.
Iskra DELTA	POMILNIŠKI MODUL 128Kx18		17365044

9

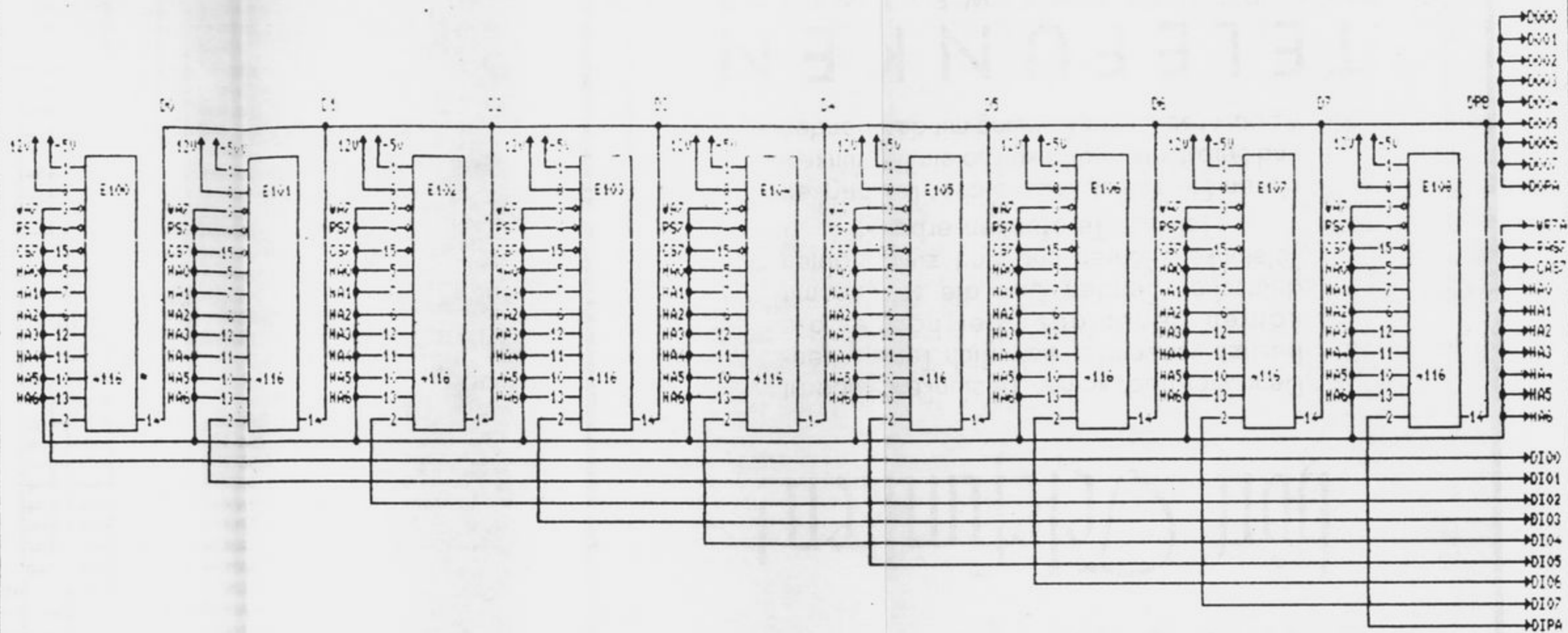


7c

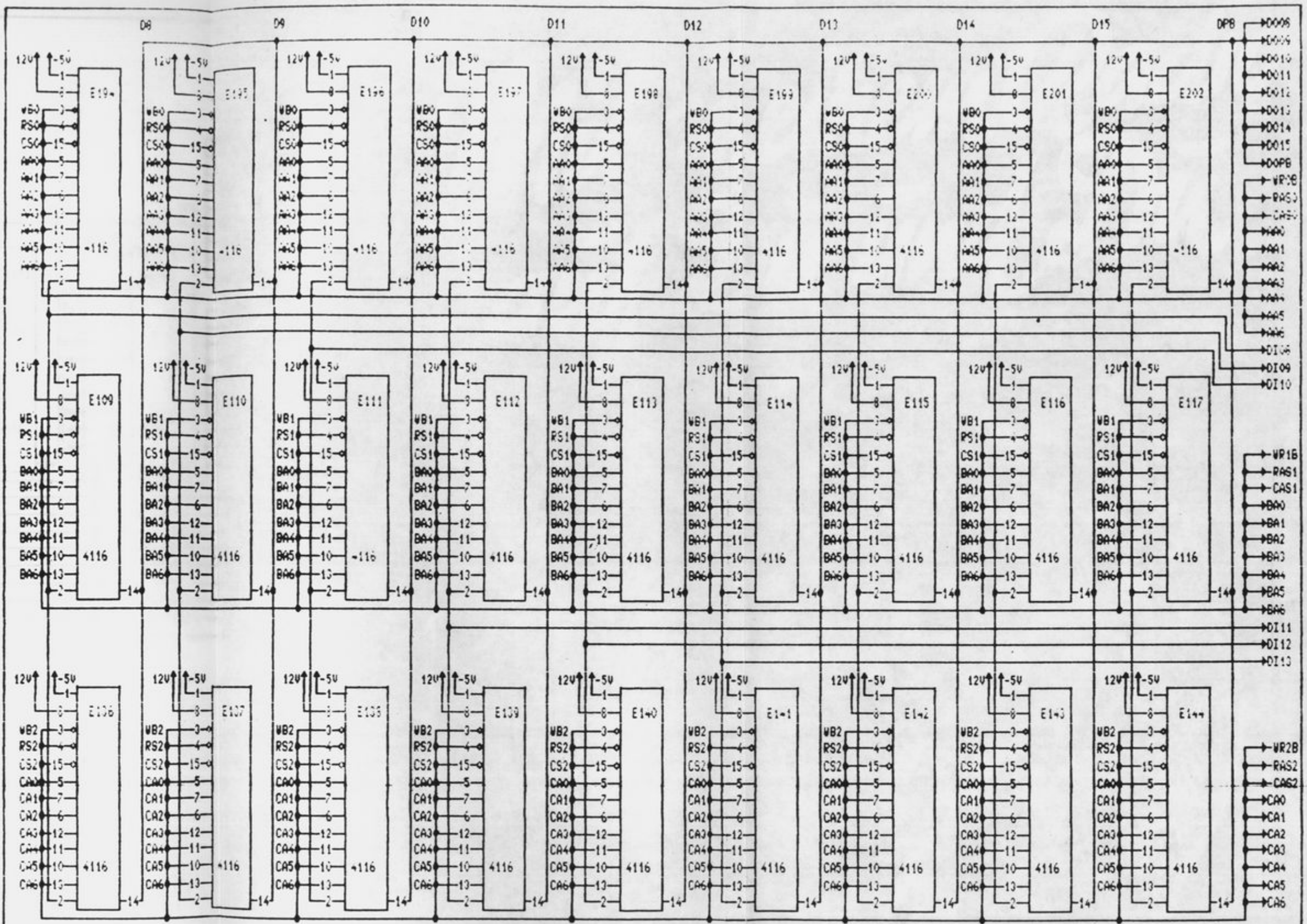
Proje. M. V. Jelić	Date: 14.01.1984	SH 10 of 16	J	k	Code No.
Iskra DELTA	POPUNILNIŠKI MODUL 128x18				17365044



Proj. M. V. Jelić	Date: 14.01.1984	SH 11 of 16	J K	Code No.
Iskra DELTA		POMNILNIŠKI MODUL 128Kx18		17365044

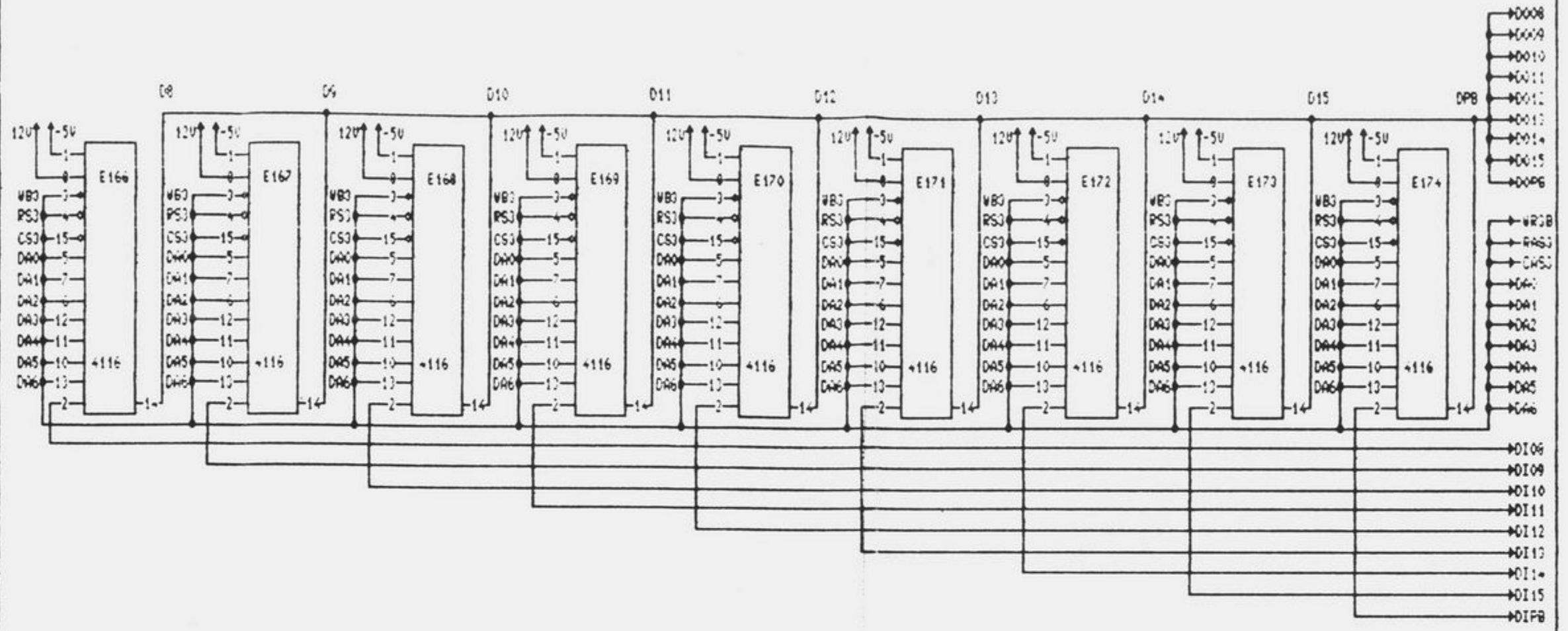


Proje. M. U. Jelić	Date: 14.01.1984	SH 12 of 16	J K Code No.
Iskra DELTA	POMNILNIŠKI MODUL 128x18	1713651044	



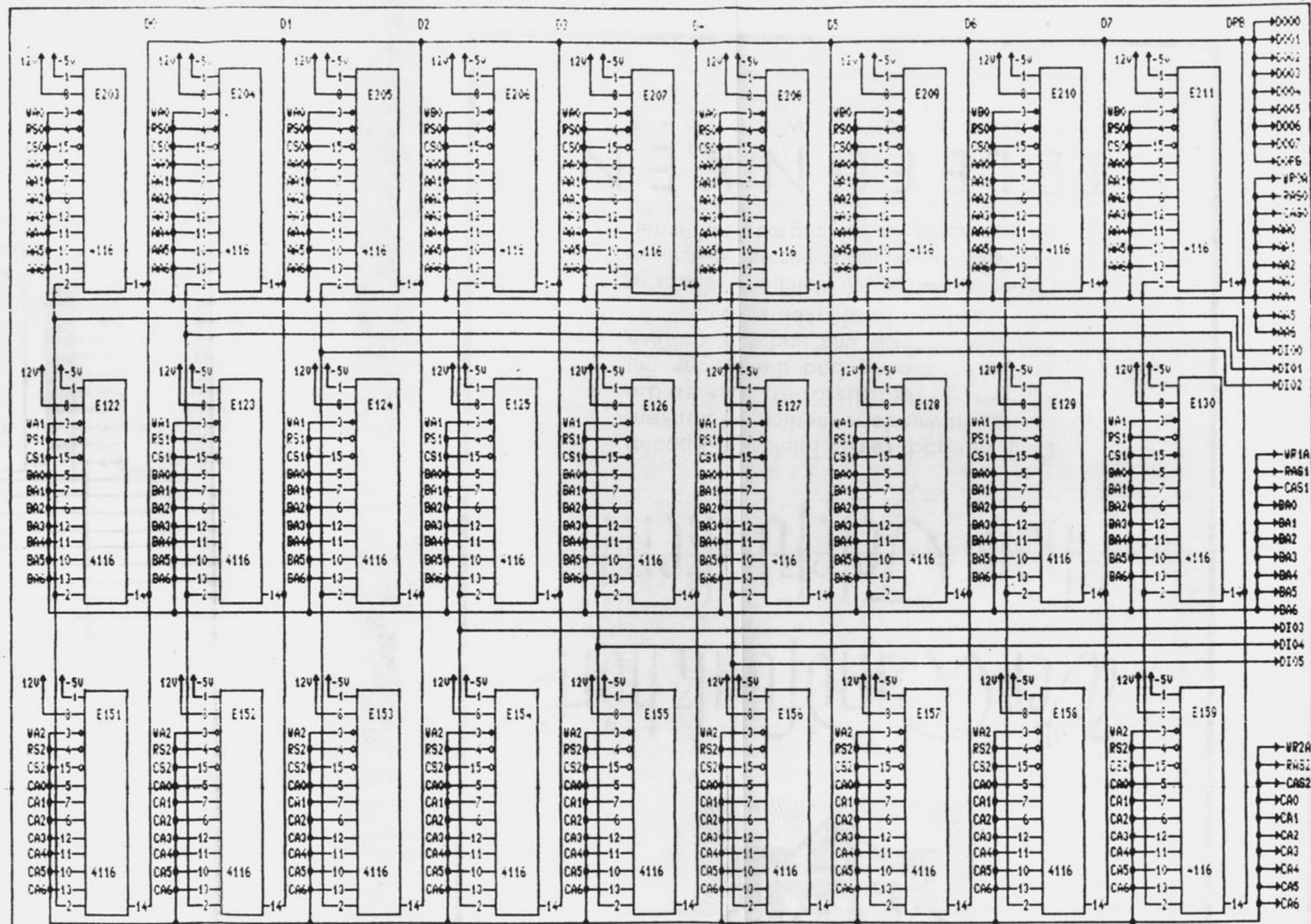
13

Proje. M. V. Jelić	Date: 14.01.1984	SH 13 of 16	J K	Code No.
Iskra DELTA	POMILNIŠKI MODUL 128Kx18			1713651044



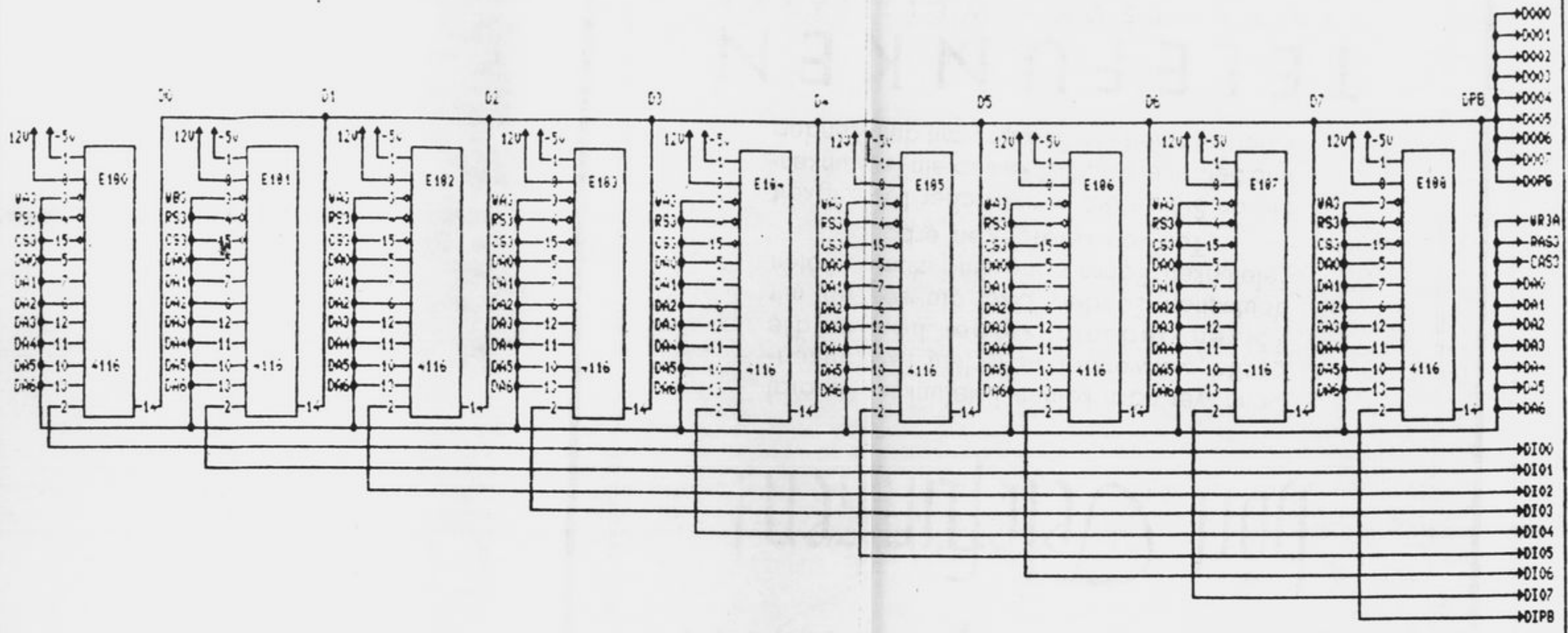
79

Proje. M.V. Jelić	Date: 14.01.1984	SH 14 of 16	J	k	Code No.
Iskra DELTA	POMNILNIŠKI MODUL 128Kx18				17365044



95

Proje. H. U. Jelić	Date: 14.01.1984	SH 15 of 16	J r Code No.
Iskra DELTA	POMILNIŠKI MODUL 128x18		



76

Proje. H. V. Jelić	Date: 14.01.1984	SH 16 of 16	J	K	Code No.
Iskra DELTA	POMILNIŠKI MODUL 128Kx18				17365044